



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Heer Docket No.: 2002 P 10624 US
Serial No.: 10/724,011 Art Unit: 2121
Filed: November 26, 2003 Examiner: TBD
For: Arrangement of Configurable Logic Blocks

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Transmittal of Certified Copy of Priority Document

Dear Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: Germany
Application Number: 102 55 768.3
Filing Date: November 28, 2002

Respectfully submitted,

Ira S. Matsil
Reg. No. 35,272
Attorney for Applicant

Slater & Matsil, L.L.P.
17950 Preston Rd., Suite 1000
Dallas, TX 75252
Tel: 972-732-1001
Fax: 972-732-9218

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 55 768.3
Anmeldetag: 28. November 2002
Anmelder/Inhaber: Infineon Technologies AG,
München/DE
Bezeichnung: Anordnung von konfigurierbaren Logik
Blöcken
IPC: H 03 K 19/177

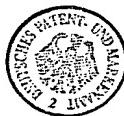
**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 27. November 2003
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

A handwritten signature in black ink, appearing to read "W. Schick". Below the signature, the name "Schick" is printed in a smaller font.



5

Anordnung von konfigurierbaren Logik Blöcken

Die Erfindung betrifft eine Anordnung von konfigurierbaren Logik Blöcken (CLB) in kundenspezifischen Schaltkreisen, welche 10 in der Field Programmable Gate Arrays (FPGA) Technologie gefertigt werden, wobei die CLB aus einem oder mehreren Lookup-Tabellen (LUT), aus einem ersten und/oder zweiten Multiplexer und einer CLB-Steuerlogik bestehen.

15 Seit ihrer Einführung 1980 sind Field Programmable Logic Devices (FPLD), also die feld-programmierbaren logischen Bauelemente, ein integraler Bestandteil für die digitalen Schaltkreisimplementierungen.

20 Diese moderne Realisierungs-Variante für digitale Schaltung bietet großer Vorteile gegenüber dem konventionellen VLSI Designs auf den Gebieten Fertigungskosten, zeitnahe Produktbereitstellung auf dem Markt (schnelle Marktreife) und günstige Systemmodifikation.

25 Diese FPLD weisen neben programmierbarer Logik auch komplexe programmierbare Verdrahtung auf. Dadurch ist die Realisierung mehrstufiger Logik möglich.

30 Die programmierbare Verdrahtung wird üblicherweise in einer jeweiligen Switch-Matrix ausgeführt, was aber die Komplexität der Verschaltung begrenzt.

35 So haben sich in den letzten Jahren die Anwendungen der Feld Programmierbaren Gate Arrays (FPGA) als ein den FPLD zugehöriger Technologiebereich besonders stark entwickelt.

5

Anordnung von konfigurierbaren Logik Blöcken

Die Erfindung betrifft eine Anordnung von konfigurierbaren Logik Blöcken (CLB) in kundenspezifischen Schaltkreisen, welche in der Field Programmable Gate Arrays (FPGA) Technologie gefertigt werden, wobei die CLB aus einem oder mehreren Lookup-Tabellen (LUT), aus einem ersten und/oder zweiten Multiplexer und einer CLB-Steuerlogik bestehen.

Seit ihrer Einführung 1980 sind Field Programmable Logic Devices (FPLD), also die feld-programmierbaren logischen Bauelemente, ein integraler Bestandteil für die digitalen Schaltkreisimplementierungen.

Diese moderne Realisierungs-Variante für digitale Schaltung bietet großer Vorteile gegenüber dem konventionellen VLSI Designs auf den Gebieten Fertigungskosten, zeitnahe Produktbereitstellung auf dem Markt (schnelle Marktreife) und günstige Systemmodifikation.

Diese FPLD weisen neben programmierbarer Logic auch komplexe programmierbare Verdrahtung auf. Dadurch ist die Realisierung mehrstufiger Logik möglich.

Die programmierbare Verdrahtung wird üblicherweise in einer jeweiligen Switch-Matrix ausgeführt, was aber die Komplexität der Verschaltung begrenzt.

So haben sich in den letzten Jahren die Anwendungen der Feld Programmierbaren Gate Arrays (FPGA) als ein den FPLD zugehöriger Technologiebereich besonders stark entwickelt. Da in diesen FPGA beliebig verteilte kombinatorische Logik-Schaltungen mit sequenziellen Schaltungsteilen komplex

Da in diesen FPGA beliebig verteilte kombinatorische Logik-Schaltungen mit sequenziellen Schaltungsteilen komplex verknüpft sein können, werden hierbei universelle, skalierbare Schaltungen realisiert.

- 5 Deshalb ist es in diesem Technologiebereich besonders vorteilhaft, anwenderprogrammierbare Schaltkreise zu entwerfen und zu fertigen.

Dies zeigt sich besonders deutlich in der Tendenz, dass beim
10 Stand der Technik gerade Micro-Controller und Ablaufsteuerungen etc. häufig als FPGA entwickelt werden.

Dabei hat es sich herauskristallisiert, dass eine überschaubare Anzahl von großen Herstellern (z.B. ACTEL, XILINX) ihre zur
15 Programmierung durch den Anwender angebotenen FPGA als De-Facto-Standards auf dem Markt eingeführt haben.

Bei diesen angebotenen Schaltkreistypen kann man solche Grundstrukturen feststellen, bei denen die FPGA aus einem Array
20 von komplexen Logik Blöcken besteht. Hierbei sind die Konfigurationen der Logikblöcken selbst, aber auch die Verbindungen zwischen den Logikblöcken programmierbar.

So besteht beim Stand der Technik ein weitverbreiteter
25 konfigurierbarer Logik Block (CLB) in seinem kombinatorischen Schaltungsteil aus Lookup-Tabellen (LUT), die vorzugsweise durch statische RAM realisiert werden. In diesen Lookup-Tabellen werden beliebige kombinatorische Funktionen umgesetzt, die durch Wahrheits-Tabellen repräsentiert werden.

30 Bei diesen Wahrheitstabellen spricht man auch von Funktionstabellen, die neben ihrer Realisierung durch Matrixspeicher z.B. auch durch Multiplexer ergänzt oder durch sie alleinig realisiert werden.

35 Die sequenziellen Funktionen des konfigurierbaren Logik Blocks (CLB) werden durch eine sequentielle CLB-Steuerlogik ausgeführt, deren Speicherelemente D-FF darstellen.

Da die einzelnen CLB im FPGA meist gitterförmig angeordnet sind, erfolgt auch eine gitterförmige Verdrahtung dieser CLB.

Die o.g. programmierbare Verdrahtung der CLB wird durch 5 Schalter an den Schnittstellen z.B. mit den sogenannten Passtransistoren ausgeführt.

Die FPLD im Allgemeinen und die FPGA im Besonderen werden bevorzugt für Anwendungen in der Kommunikationstechnik, in der 10 Prozessrechentechnik, für industrielle Gerätesteuerungen etc. verwendet, da diese Anwendungsbereiche sehr berechnungsintensiv sind.

Einerseits erlangen FPGA auch deswegen eine so weit verbreitete 15 Bedeutung für die Implementierung von Signalprozessen und Algorithmen, weil hierbei diese sehr effektiv als Parallel-Prozesse ausgeführt werden können.

Anderseits erfordert die Umsetzung von solchen parallelen 20 Berechnungen in der durch FPGA realisierten Hardware, dass auch komplexe Berechnungs- bzw. Steuerungsvorgänge, wie sie z.B. bedingte Verzweigungen darstellen, eine ebenso komplexe Realisierung in ihren CLB erfährt.

25 Bei dieser Realisierung der CLB ist ersichtlich, dass bei bestimmten angewendeten Zellarchitekturen, die durch häufige Anwendungen von Standardzell-Gattern (fine-grain) gekennzeichnet ist, viele Verdrahtungselemente notwendig sind und/oder bei häufiger Verwendung komplexerer Logik (coars-grain) auch Logik häufig ungenutzt bleibt.

Durch diesen schwer auszubalancierenden Anteil an nicht 35 ausnutzbaren Logikelementen und/oder zusätzlichen Verdrahtungselementen ergibt sich bei der Realisierung der Komplexität von Anwender-Schaltungen in dieser FPGA-Technologie eine effizienzmindernde gegenläufige Tendenz, die ein etwas höherem Flächenaufwand auf dem Schaltkreis, z.B. gegenüber vergleichbaren VLSI/CPLD-Realisierungen, bedingt.

Daraus ergibt sich die erfindungsgemäße Aufgabenstellung, den Flächenaufwand für konfigurierbare Logikblöcke (CLB) zu minimieren, in dem ihre jeweiligen Bestandteile an die 5 funktionalen Aufgabe des CLB angepasst werden.

So sieht die erfindungsgemäße Lösung der Aufgabenstellung vor, dass ein CLB eine erste und/oder zweite Lookup-Tabelle enthält, in die mit ihrer inhaltsbezogenen Adressierbarkeit jeweils die 10 Schaltfunktion mindestens einer bedingten Verzweigung implementiert ist, bei der eine "If then else"-Verzweigung generiert wird, die einen Vergleich von CLB-Eingangsdaten mit einem vorher in den CLB gespeichertes Vergleichsdatum realisiert.

15 Hierbei ist der Dateneingang des CLB über einen Eingangs-Datenbus einerseits mit einem jeweiligen Bus-Eingang einer ersten und/oder zweiten Lookup-Tabelle und anderseits zumindest in einem Teil der Bitbreite des Eingangs-Datenbus mit einem 20 jeweiligen Multiplexer-Steuereingang des ersten und/oder zweiten Multiplexers und außerdem mit dem ersten Eingang der CLB-Steuerlogik verbunden.

Weiterhin ist ein Steuereingang des CLB über einen Steuer-Bus 25 an einen zweiten Eingang der CLB-Steuerlogik angeschlossen.

Außerdem ist ein jeweiliger Ergebnis-Ausgang der ersten und/oder zweiten Lookup-Tabelle dem dritten bzw. vierten Eingang der CLB-Steuerlogik zugeordnet und es ist ein 30 jeweiliger Registerdaten-Bus-Ausgang der ersten und/oder zweiten Lookup-Tabelle über einen ersten und/oder Register-Datenbus mit einem jeweiligen Bus-Eingang des ersten bzw. zweiten Multiplexers verbunden.

35 Ein Ausgang des ersten und/oder zweiten Multiplexers ist mit einem fünften bzw. sechsten Eingang der CLB-Steuerlogik verbunden und ein Ausgang der CLB-Steuerlogik bildet einen Ausgang des CLB.

So zielt diese erfindungsgemäße Lösung darauf ab, durch die Implementierung von einer bedingten Verzweigung mit ihren entsprechenden Schaltfunktion in einer spezielle LUT den Aufwand von sonst drei weiteren herkömmlichen LUT in einem CLB zu vermeiden.

Auf diese Weise wird ein erheblicher Teil des Flächenbedarfes des FPGAs bei der Realisierung der anwenderspezifischen Schaltung eingespart.

- 10 Eine besondere Ausführung der erfindungsgemäßen Lösung der Aufgabenstellung sieht vor, dass die erste und/oder zweite Lookup-Tabelle (LUT) mit der in ihr implementierten bedingten Verzweigung durch eine solche Schaltfunktionen realisiert wird,
- 15 bei der diese erste und/oder zweite Lookup-Tabelle jeweils ein erstes bzw. zweites Register enthält, in welchem das jeweilige Vergleichsdatum abgelegt wird.
- 20 Weiterhin weist die LUT jeweils einen die Eingangsdaten mit den abgelegten Vergleichsdaten vergleichenden ersten bzw. zweiten Komparator auf, wobei der jeweilige Bus-Eingang der ersten und/oder zweiten Lookup-Tabelle mit einem jeweiligen ersten Bus-Eingang des ersten bzw. zweiten Komparators verbunden ist.
- 25 Ein jeweiliger Bus-Ausgang des ersten und/oder zweiten Registers ist mit einem jeweiligen zweiten Bus-Eingang des ersten bzw. zweiten Komparators und außerdem mit dem jeweiligen Registerdaten-Bus-Ausgang der ersten und/oder zweiten Lookup-Tabelle verbunden.
- 30 Außerdem ist ein jeweiliger Ausgang des ersten/und oder zweiten Komparators mit dem jeweiligen Ergebnis-Ausgang der ersten und/oder zweiten Lookup-Tabelle geschaltet.
- 35 Bei dieser besonderen Ausführung der erfindungsgemäßen Lösung kommt sehr vorteilhaft zur Geltung, dass bei der Implementierung von mehr als einer bedingten Verzweigungen in

einer LUT eine zusätzliche Einsparung von Hardware-Ressourcen durch Verringerung der benötigten CLB erreicht wird.

Darüber hinaus wird hierbei günstig sichergestellt, dass die im
5 LUT abgelegten Vergleichsdaten auch zur Weiterverarbeitung in den üblichen Multiplexern eines CLB, die für die aufbereitende Zusammenarbeit mit der CLB-Steuerung erforderlich sind, gleichzeitig schon bereitgestellt sind.
Dadurch wird sonst erforderliche zusätzliche Hardware je
10 verwendeten CLB ebenfalls einspart.

Die Erfindung soll nachfolgend anhand eines Ausführungsbeispiels näher erläutert werden.

15 In der zugehörigen Zeichnungsfigur ist die Anordnung des CLB 9 mit den erfundungsgemäß implementierten ersten und zweiten Lookup-Tabellen (LUT) 2; 12 dargestellt.

20 So ist in dieser Zeichnungsfigur der CLB 9 mit den enthaltenen ersten und zweiten LUT 2; 12 sowie der ersten und zweiten Multiplexer 3; 13 und der CLB-Steuerlogik 8 ersichtlich, wobei in der ersten und zweiten LUT 2; 12 jeweils die darin enthaltenen ersten beziehungsweise zweiten Register 4; 14 sowie ebenfalls darin enthaltene ersten beziehungsweise zweite
25 Komparator 6; 16 aufgeführt sind.

Vom Dateneingang 1 des CLB 9 gelangen die anstehenden Daten über den Eingangs-Datenbus 7 an den jeweiligen Bus-Eingang des ersten beziehungsweise zweiten LUT 2; 12 und damit an den jeweiligen ersten Bus-Eingang des ersten beziehungsweise zweiten Komparators 6; 16.

Gleichzeitig gelangen diese Daten zumindest in einem Teil der Bit-Breite des Eingangs-Datenbus 7 an den jeweiligen
35 Multiplexer-Steuereingang des ersten und/oder zweiten Multiplexers 3; 13 und außerdem an den ersten Eingang der CLB-Steuerlogik 8.

Vom Steuereingang 10 des CLB 9 gelangen die Steuerdaten über den Steuer-Datenbus 7 an den zweiten Eingang der CLB-Steuerlogik 8.

- 5 Die jeweiligen Vergleichdaten, die im ersten beziehungsweise zweiten Register 4; 14 gespeichert wurden, werden an dem jeweiligen zweiten Bus-Eingang des ersten beziehungsweise zweiten Komparators 6; 16 bereitgestellt.
- 10 Ebenfalls gelangen diese Daten an den Registerdaten-Bus-Ausgang der ersten und/oder zweiten Lookup-Tabelle 2; 12 und werden über einen jeweiligen ersten beziehungsweise zweiten Register-Datenbus 5; 15 an den Bus-Eingang des ersten beziehungsweise zweiten Multiplexers 3; 13 geschalten.
- 15 Das Ergebnis des jeweiligen Vergleiches der anstehenden Eingangsdaten mit den gespeicherten Vergleichsdaten wird am Ausgang des ersten beziehungsweise zweiten Komparators 6; 16 ausgegeben und gelangt über den jeweiligen Ergebnis-Ausgang der ersten und/oder zweiten Lookup-Tabelle 2; 12 an den dritten bzw. vierten Eingang der CLB-Steuerlogik 8.

Das am jeweiligen Ausgang des ersten beziehungsweise zweiten Multiplexers 3; 13 bereitgestellte Signal wird am fünften beziehungsweise sechsten Eingang der CLB-Steuerlogik 8 zur Verfügung gestellt. Deren Ausgangssignal wird an den Datenausgang 11 des CLB 9 geschalten.

30

35

5

Anordnung von konfigurierbaren Logik Blöcken**Bezugzeichenliste**

- 1 Dateneingang
- 10 2 erste Lookup-Tabelle (LUT)
- 3 erster Multiplexer
- 4 erstes Register
- 5 erster Register-Datenbus
- 6 erster Komparator
- 15 7 Eingangs-Datenbus
- 8 CLB-Steuerlogik
- 9 CLB, konfigurierbarer Logik-Block (Configurable Logic Block)
- 10 Steuereingang
- 20 11 Datenausgang
- 12 zweite Lookup-Tabelle (LUT)
- 13 zweiter Multiplexer
- 14 zweites Register
- 15 zweiter Register-Datenbus
- 25 16 zweiter Komparator
- 17 Steuer-Datenbus

5

Anordnung von konfigurierbaren Logik Blöcken**Patentansprüche**

1. Anordnung von konfigurierbaren Logik Blöcken (CLB) in kundenspezifischen Schaltkreisen, welche in der Field Programmable Gate Arrays (FPGA) Technologie gefertigt werden, wobei die CLB aus einem oder mehreren Lookup-Tabellen (LUT), einem ersten und/oder zweiten Multiplexer und einer CLB-Steuerlogik bestehen, dadurch gekennzeichnet, dass ein CLB (9) eine erste und/oder zweite Lookup-Tabelle (2),(12) enthält, in die mit ihrer inhaltsbezogenen Adressierbarkeit jeweils die Schaltfunktion mindestens einer bedingten Verzweigung implementiert ist, bei der eine solche "If then else"-Verzweigung generiert wird, die einen Vergleich von Eingangsdaten des CLB (9) mit einem vorher in die LUT jeweils gespeicherten Vergleichsdatums realisiert, wobei der Dateneingang (1) des CLB (9) über einen Eingangs-Datenbus (7) einerseits mit einem jeweiligen Bus-Eingang einer ersten und/oder zweiten Lookup-Tabelle (2),(12) und anderseits zumindest in einem Teil der Bitbreite des Eingangs-Datenbus (7) mit einem jeweiligen Multiplexer-Steuereingang des ersten und/oder zweiten Multiplexers (3),(13) und außerdem mit einem ersten Eingang der CLB-Steuerlogik (8) verbunden ist,
dass ein Steuereingang (10) des CLB (9) über einen Steuer-Bus (17) an einen zweiten Eingang der CLB-Steuerlogik (8) angeschlossen ist,
dass ein jeweiliger Ergebnis-Ausgang der ersten und/oder zweiten Lookup-Tabelle (2),(12) dem dritten bzw. vierten Eingang der CLB-Steuerlogik (8) zugeordnet ist,

dass ein jeweiliger Registerdaten-Bus-Ausgang der ersten und/oder zweiten Lookup-Tabelle (2), (12) über einen ersten und/oder zweiten Register-Datenbus (5), (15) mit einem jeweiligen Bus-Eingang des ersten bzw. zweiten Multiplexers (3), (13) verbunden ist,
5 dass ein Ausgang des ersten und/oder zweiten Multiplexers (3), (13) mit einem fünften bzw. sechsten Eingang der CLB-Steuerlogik (8) verbunden ist,
dass ein Ausgang der CLB-Steuerlogik (8) einen Ausgang des
10 CLB (9) bildet.

2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass die erste und/oder zweite Lookup-Tabelle (2), (12) mit der in ihr implementierten bedingten Verzweigung durch eine solche Schaltfunktionen realisiert wird, bei der diese erste und/oder zweite Lookup-Tabelle (2), (12) jeweils ein erstes bzw. zweites Register (4), (14) enthält, in welchem das jeweilige Vergleichsdatum abgelegt ist, und weiterhin jeweils einen die Eingangsdaten mit den abgelegten Vergleichsdaten vergleichenden ersten bzw. zweiten Komparator (6), (16) aufweist, wobei der jeweilige Bus-Eingang der ersten und/oder zweiten Lookup-Tabelle (2), (12) mit einem jeweiligen ersten Bus-Eingang des ersten bzw. zweiten Komparators (6), (16) verbunden ist und ein jeweiliger Bus-Ausgang des ersten und/oder zweiten Registers (4), (14) mit einem jeweiligen zweiten Bus-Eingang des ersten bzw. zweiten Komparators (6), (16) und außerdem mit dem jeweiligen Registerdaten-Bus-Ausgang der ersten und/oder zweiten Lookup-Tabelle (2), (12) verbunden ist,
15
20
25
30 dass ein jeweiliger Ausgang des ersten/und oder zweiten Komparators (6), (16) mit dem jeweiligen Ergebnis-Ausgang der ersten und/oder zweiten Lookup-Tabelle (2), (12) geschaltet ist.

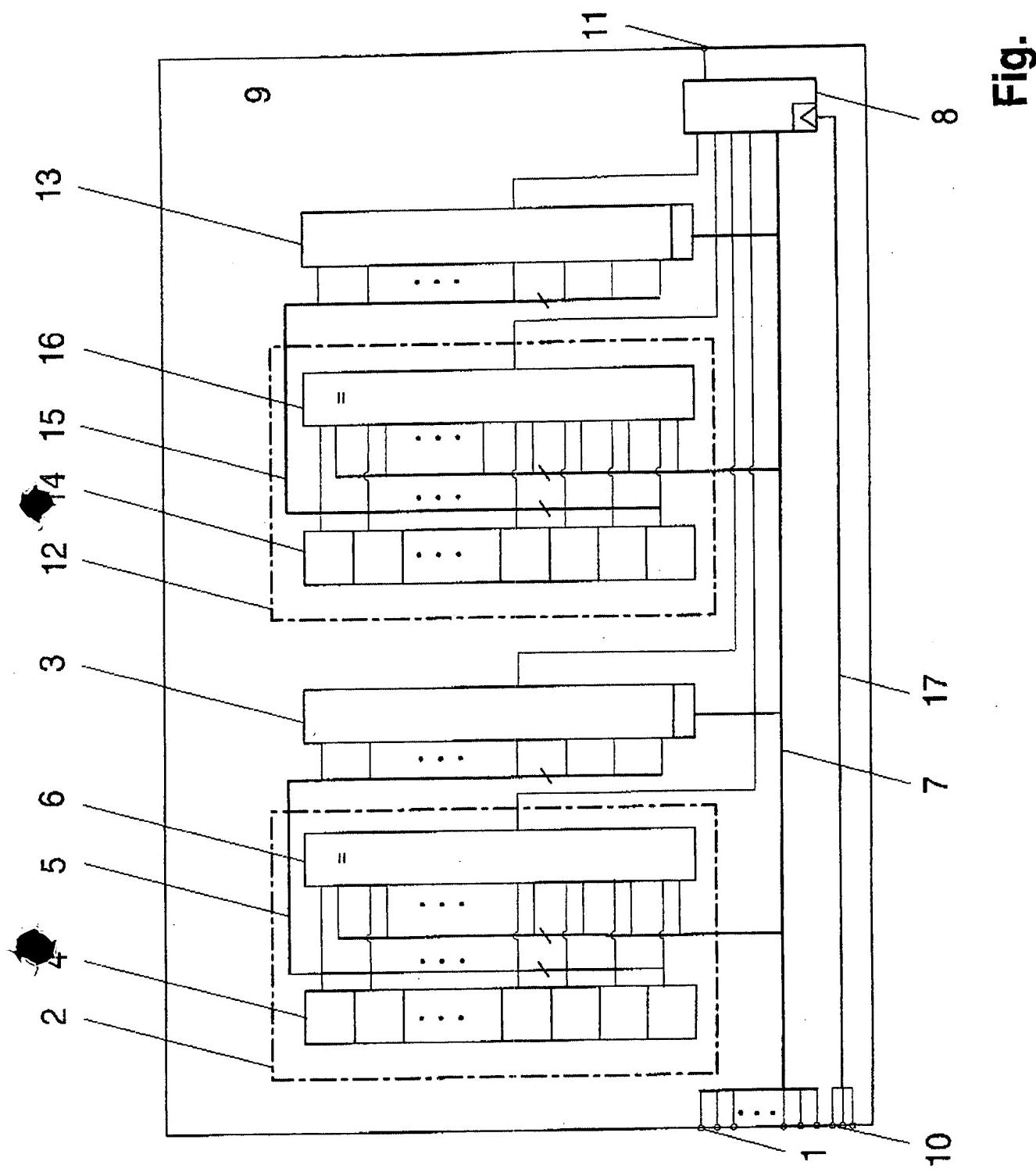


Fig.

5

Anordnung von konfigurierbaren Logik Blöcken**Zusammenfassung**

- 10 Die Erfindung betrifft eine Anordnung von CLB, welche in der
FPGA Technologie gefertigt werden und löst die erfindungsgemäße
Aufgabenstellung, durch Anpassung ihrer jeweiligen Bestandteile
an die funktionalen Aufgabe des CLB den Aufwand zu minimieren,
indem ein CLB eine erste und/oder zweite Lookup-Tabelle
15 enthält, in die jeweils die Schaltfunktion mindestens einer
bedingten Verzweigung implementiert ist. So ist der
Dateneingang des CLB über einen Eingangs-Datenbus einerseits
mit einem jeweiligen Bus-Eingang einer ersten und/oder zweiten
Lookup-Tabelle und anderseits zumindest in Teilen der Bitbreite
20 des Eingangs-Datenbus mit einem jeweiligen Multiplexer-
Steuereingang des ersten und/oder zweiten Multiplexers und
außerdem mit dem ersten Eingang der CLB-Steuerlogik verbunden
und es ist ein Steuereingang des CLB über einen Steuer-Bus an
einen zweiten Eingang der CLB-Steuerlogik angeschlossen.
25 Außerdem ist ein jeweiliger Ergebnis-Ausgang der ersten
und/oder zweiten Lookup-Tabelle dem dritten bzw. vierten
Eingang der CLB-Steuerlogik zugeordnet und es ist ein
jeweiliger Registerdaten-Bus-Ausgang der ersten und/oder
zweiten Lookup-Tabelle mit einem jeweiligen Bus-Eingang des
ersten bzw. zweiten Multiplexers verbunden. Ein Ausgang des
30 ersten und/oder zweiten Multiplexers ist mit einem fünften bzw.
sechsten Eingang der CLB-Steuerlogik verbunden und ein Ausgang
der CLB-Steuerlogik bildet einen Ausgang des CLB. (Fig.)

